

VTR DEVICE

Publication number: JP7029258

Publication date: 1995-01-31

Inventor: TOKUNAKA JUNZO

Applicant: SONY CORP

Classification:

- international: **G11B15/467; G11B27/02; G11B27/024; H04N5/7826; H04N5/91; H04N5/95; G11B15/467; G11B27/02; G11B27/022; H04N5/7824; H04N5/91; H04N5/95; (IPC1-7): G11B15/467; G11B27/024; H04N5/7826; H04N5/91; H04N5/95**

- european:

Application number: JP19930174442 19930714

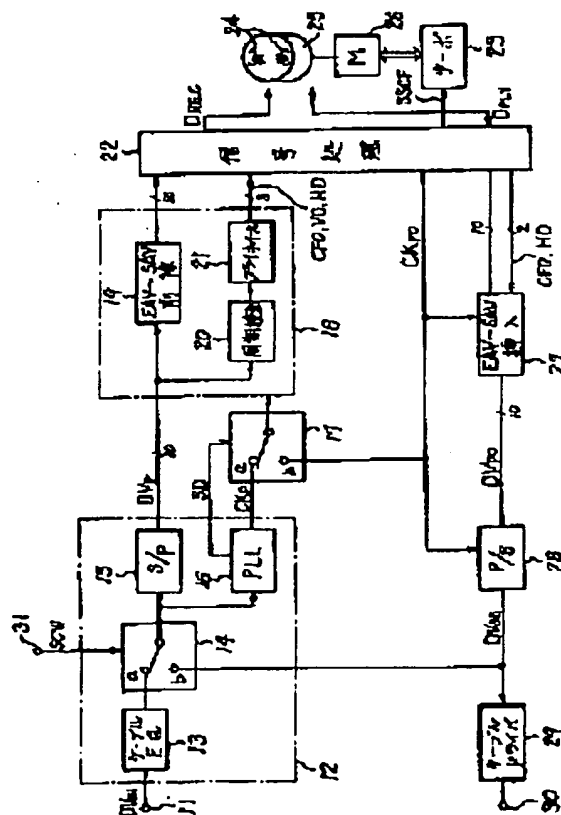
Priority number(s): JP19930174442 19930714

Report a data error here

Abstract of JP7029258

PURPOSE: To enable servo lock even when no input video data exist.

CONSTITUTION: The input data DV_{si} are supplied to (a) side of a switch 14, and the internally formed video data DV_{so} are supplied to the (b) side. The switch 14 is connected to the (b) side for a fixed time after power is turned on. By a synchronism detection circuit 20 in a processing block 18, EAV, SAV (F, V, H) are extracted from the data DV_p parallel converting the output data of the switch 14, and a synchronizing signal is outputted from a flywheel circuit 21, and a servo reference signal is formed by a signal processing circuit 22. When the video data are detected by a PLL circuit 16, the output clock CK_p of the PLL circuit 16 is supplied to the processing block 18, and when no video data are detected, an internal clock CK_{po} is supplied. Even when no input video data exist, the synchronizing signal synchronized with the video data DV_{so} are outputted and continued from the flywheel circuit 21 by the clock CK_{po}, and the servo lock is attained.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-29258

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 15/467		L 8935-5D		
		K 8935-5D		
27/024				

H 0 4 N 5/ 782

E

B

審査請求 未請求 請求項の数4 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平5-174442

(22) 出願日 平成5年(1993)7月14日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 徳中 潤三

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 山口 邦夫 (外1名)

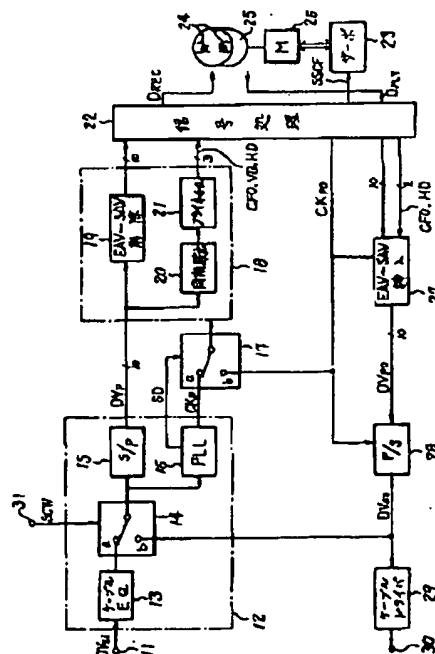
(54) 【発明の名称】 VTR装置

(57) 【要約】

【目的】 入力ビデオデータがない場合でも、サーボロックを可能とする。

【構成】 スイッチ14のa側に入力ビデオデータDV_{sl}を供給し、そのb側に内部形成のビデオデータDV_{so}を供給する。スイッチ14を電源オン後に一定時間b側に接続する。スイッチ14の出力データをパラレル変換したデータDV_pより処理ブロック18の同期検出回路20でEAV、SAV (F, V, H)を抽出し、フライホイール回路21より同期信号を出力し、信号処理回路22でサーボ基準信号を形成する。処理ブロック18には、PLL回路16でビデオデータが検出される場合はPLL回路16の出力クロックCK_pを供給し、ビデオデータが検出されない場合は内部クロックCK_{po}を供給する。入力ビデオデータDV_{sl}がない場合でも、クロックCK_{po}によってフライホイール回路21よりビデオデータDV_{so}に同期した同期信号が出力され続け、サーボロックが可能となる。

第1実施例の構成



(2)

特開平7-29258

1

2

【特許請求の範囲】

【請求項1】 同期信号に基づいてサーボ基準信号を形成するサーボ基準信号形成手段と、

内部同期信号を発生する内部同期信号発生手段と、

上記サーボ基準信号形成手段で外部同期信号を使用できる状態と上記内部同期信号を使用できる状態に切り換える同期切換手段とを備え、

再生または記録の動作前に一定期間上記同期切換手段で上記内部同期信号を使用できる状態にし、

上記一定時間経過後に上記同期切換手段で上記外部同期信号を使用できる状態にすることを特徴とするVTR装置。

【請求項2】 外部より供給されるシリアル形式の第1のデジタルビデオデータと内部で発生されるシリアル形式の第2のデジタルビデオデータを切り換えるデータ切換手段と、

このデータ切換手段の出力データより同期信号を検出する同期検出手段と、

この同期検出手段で検出される同期信号に基づいてサーボ基準信号を形成するサーボ基準信号形成手段と、

上記データ切換手段の出力データよりクロックを検出するクロック検出手段と、

上記データ切換手段の出力データよりビデオデータの有無を検出するデータ検出手段と、

このデータ検出手段でビデオデータが検出されるときは上記クロック検出手段で検出されるクロックを選択すると共に、ビデオデータが検出されないときは内部クロックを選択するクロック切換手段とを備え、

上記同期検出手段は上記クロック切換手段より出力されるクロックを使用し、

再生または記録の動作前に一定期間上記データ切換手段で上記第2のデジタルデータを選択することを特徴とする請求項1記載のVTR装置。

【請求項3】 外部より供給されるシリアル形式のデジタルビデオデータをパラレル形式の第1のデジタルビデオデータに変換するシリアル／パラレル変換手段と、

このシリアル／パラレル変換手段より出力される上記第1のデジタルビデオデータと内部で発生されるパラレル形式の第2のデジタルビデオデータを切り換えるデータ切換手段と、

上記データ切換手段の出力データより同期信号を検出する同期検出手段と、

この同期検出手段で検出される同期信号に基づいてサーボ基準信号を形成するサーボ基準信号形成手段と、

上記外部より供給されるシリアル形式のデジタルビデオデータよりクロックを検出するクロック検出手段と、

上記外部より供給されるシリアル形式のデジタルデータの有無を検出するデータ検出手段と、

上記データ検出手段でビデオデータが検出されるときは

上記クロック検出手段で検出されるクロックを選択すると共に、ビデオデータが検出されないときは内部クロックを選択するクロック切換手段とを備え、

上記同期検出手段は上記クロック切換手段より出力されるクロックを使用し、

再生または記録の動作前に一定期間上記データ切換手段で第2のデジタルビデオデータを選択することを特徴とする請求項1記載のVTR装置。

【請求項4】 上記同期検出手段は、入力ビデオデータがなくなってもクロックが供給されている限り周期的に同期信号を出力し続けるフライホイール機能を有することを特徴とする請求項2または3記載のVTR装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えば編集システムに適用して好適なVTR装置に関する。

【0002】

【従来の技術】 図7は、デジタルVTRを使用した編集システムの構成例を示している。図において、1はマスター側のデジタルVTR、2はスレーブ側のデジタルVTR、3はVTR2側に接続されたモニタである。

【0003】 VTR1からはシリアルインタフェースフォーマット（SMPTE259M参照）でもってデジタルビデオデータDV_sがVTR2に供給される。VTR2が編集モードにあるときは、例えばビデオデータDV_sより検出される同期信号に基づいてサーボ基準信号を得ることでサーボ動作が行なわれる。

【0004】

【発明が解決しようとする課題】 VTR2が編集モードにあるとき、このVTR2にVTR1よりビデオデータDV_sが供給されないときは、サーボロックできなくなる。そのため、例えば編集モードでの再生ではモニタ3に表示される再生面に乱れが生じるという問題点があった。

【0005】 そこで、この発明では、入力ビデオデータがない場合にも、サーボロックが可能となるVTR装置を提供するものである。

【0006】

【課題を解決するための手段】 この発明に係るVTR装置は、同期信号に基づいてサーボ基準信号を形成するサーボ基準信号形成手段と、内部同期信号を発生する内部同期信号発生手段と、サーボ基準信号形成手段で外部同期信号を使用できる状態と内部同期信号を使用できる状態に切り換える同期切換手段とを備え、再生または記録の動作前に一定時間同期切換手段で内部同期信号を使用できる状態にし、一定時間経過後に同期切換手段で外部同期信号を使用できる状態にするものである。

【0007】

【作用】 この発明においては、再生または記録の動作前

(3)

特開平7-29258

3

にサーボ基準信号形成手段では一定時間内部同期信号を使用できる状態とされるため、例えばサーボ基準信号形成手段に供給される同期信号の経路にフライホイール手段を介在させることで、外部同期信号がなくても一定期間経過後にもサーボ基準信号形成手段には同期信号が継続して供給されることになる。そのため、サーボ基準信号形成手段では同期信号に基づいてサーボ基準信号が継続して形成されるため、サーボロックが可能となり、再生画の乱れを防止することが可能となる。

【0008】

【実施例】以下、図1を参照しながら、この発明の第1実施例について説明する。本例はデジタルビデオデータの記録再生を行なうデジタルVTR装置に適用した例である。

【0009】図において、11は外部よりシリアルインタフェースフォーマット(SMPTE269M参照)によるシリアル形式のデジタルビデオデータDVsiが供給される入力端子である。この入力端子11に供給されるビデオデータDVsiは処理ブロック12に供給される。処理ブロック4では、NRZデータへの変換やデスクランブル等が行なわれて、10ビットパラレルデータおよびパラレルクロックが出力される。

【0010】すなわち、ビデオデータDVsiは同軸ケーブルでの伝送損失を補償するケーブルイコライザ13を介して切換スイッチ14のa側の固定端子に供給される。切換スイッチ14より出力されるシリアル形式のデジタルビデオデータはシリアル/パラレル変換回路(S/P変換回路)15に供給され、4:2:2パラレルビデオデータ(CCIR601, RP125参照)としての10ビットのパラレル形式のデジタルビデオデータDVpに変換される。

【0011】切換スイッチ14より出力されるシリアル形式のデジタルビデオデータはクロック検出手段としてのPLL回路16に供給される。PLL回路16では、ビデオデータのエッジ検出が行なわれて270MHzのクロック(図示せず)が出力されると共に、27MHzのパラレルクロックCKpが出力される。また、PLL回路16では、シリアル形式のデジタルビデオデータの有無の検出が行なわれ、データ検出信号SDが出力される。

【0012】なお、処理ブロック12では、上述したようにNRZデータへの変換やデスクランブル等の処理も行なわれるが、説明を簡略化するため図示を省略している。

【0013】処理ブロック12のPLL回路16より出力されるパラレルクロックCKpは切換スイッチ17のa側の固定端子に供給され、この切換スイッチ17より出力されるパラレルクロックは処理ブロック18に供給される。処理ブロック12のS/P変換回路15より出力されるパラレル形式のデジタルビデオデータDVp

4

は処理ブロック18に供給され、切換スイッチ17より出力されるパラレルクロックを使用して処理される。

【0014】すなわち、パラレル形式のデジタルビデオデータDVpはデータ削除回路19に供給される。図2は、デジタルビデオデータDVpのデータストリームを示しており、EAV(End of Active Video)、SAV(Start of Active video)は周知のようにタイミング基準信号である。データ削除回路19ではEAVからSAVまでデジタルラインのブランキングに対応するデータが削除される。データ削除回路19の出力データは10ビットのパラレルデータとして信号処理回路22に供給される。

【0015】また、パラレル形式のデジタルビデオデータDVpは同期検出回路20に供給される。同期検出回路20では、EAVおよびSAVより同期信号(F, V, H)が抽出され、それぞれフライホイール回路21に供給される。フライホイール回路21では同期信号(F, V, H)が加工されて、フレーム同期信号CF0、垂直同期信号VD、水平同期信号HDが出力される(図3A~Cに図示)、これら同期信号CF0, VD, HDは信号処理回路22に供給される。

【0016】ここで、フライホイール回路21はフライホイール機能を有している。フライホイール機能とは入力される同期信号が周期的であるという性質を利用したものであり、入力信号が連続してあるときはカウンタで構成した回路より同期信号が連続して出力され、仮に入力信号がなくなってもクロックが供給されている限り同期信号が出力され続けるというものである(特願平4-119170号参照)。

【0017】信号処理回路22では同期信号CF0, VD, HDが加工されてサーボ基準信号SSCFが形成される(図3Dに図示)、このサーボ基準信号SSCFはサーボ回路23に供給される。サーボ回路23では、サーボ基準信号SSCFに従って、ドラム、リールサーボ等が行なわれる。なお、図3Dは525システムの4フィールドシーケンスの例を示しており、625システムの8フィールドシーケンスの場合には異なったものとなる。

【0018】また、信号処理回路22では処理ブロック18より供給される10ビットパラレルのビデオデータが信号処理され、記録データDRECが形成される。具体的には、シャッフリング、ビットリダクション、エラーコレクション、チャンネルコーディングの各エンコード作用が行なわれる。信号処理回路22で形成された記録データDRECは回転磁気ヘッド24に供給されて磁気テープ(図示せず)に記録される。なお、25は回転ドラム、26はドラムモータである。

【0019】また、磁気テープより回転磁気ヘッド24で再生される再生データDPLYは信号処理回路22で各デコード作用が行なわれて、10ビットのパラレルデー

(4)

特開平7-29258

5

タとしてデータ挿入回路27に供給される。信号処理回路22は上述せずともタイミングジェネレータを備えており、このタイミングジェネレータより出力されるフレーム同期信号CF0および水平同期信号HDはデータ挿入回路27に供給される。

【0020】データ挿入回路27では10ビットパラレルデータにEAV~SAVのデジタルラインブランキングのデータが挿入され、4:2:2パラレルビデオデータ(CCIR601, RP125参照)のパラレル形式のデジタルビデオデータDVpoが形成される。このパラレル形式のデジタルビデオデータDVpoはパラレル/シリアル変換回路(P/S変換回路)28に供給される。

【0021】P/S変換回路28では、シリアルインタフェースフォーマット(SMPTE259M参照)に従ってシリアル形式のデジタルビデオデータDVsoに変換される。上述せずとも信号処理回路22のタイミングジェネレータより出力されるパラレルクロックCKpoは、データ挿入回路27およびP/S変換回路28に供給される。

【0022】P/S変換回路28より出力されるシリアル形式のデジタルビデオデータDVsoは同軸ケーブルのドライバ29を介して出力端子30に導出される。

【0023】また、P/S変換回路28より出力されるシリアル形式のデジタルビデオデータDVsoは切換スイッチ14のb側の固定端子に供給される。この切換スイッチ14にはシステムコントロールマイコン(図示せず)より端子31を介して切換制御信号SCWが供給され、電源オン後の一定期間はb側に接続され、その他の期間はa側に接続される。

【0024】また、信号処理回路22のタイミングジェネレータより出力されるパラレルクロックCKpoは切換スイッチ17のb側の固定端子に供給される。この切換スイッチ17には処理ブロック12のPLL回路16より出力されるデータ検出信号SDが切換制御信号として供給され、PLL回路16でビデオデータが検出されるときはa側に接続され、ビデオデータが検出されないときはb側に接続される。

【0025】本例は以上のように構成され、以下動作を説明する。

【0026】まず、図4のタイミングチャートを使用し、入力端子11にシリアル形式のデジタルビデオデータDVsiが供給されている場合を説明する。

【0027】時点t1で電源スイッチがオンとされると、PLL回路16にはビデオデータDVsiが供給されることからビデオデータが検出され、時点t1の直後の時点t6で切換スイッチ17はa側に接続される。そのため、PLL回路16より出力されるビデオデータDVsiに同期したパラレルクロックCKpが切換スイッチ17を介して処理ブロック18に供給されると共に、この

6

処理ブロック18にはビデオデータDVsiがS/P変換されてなるビデオデータDVpが供給され、このビデオデータDVpより同期検出回路20で抽出されたEAV, SAV(F, V, H)に基づいてフライホイール回路21より同期信号CF0, VD, HDが出力される。すなわち、フライホイール回路21からはビデオデータDVsiに同期した同期信号CF0, VD, HDが出力されることになる。

【0028】また、電源オン後の時点t2から時点t3までの一定期間は、システムコントロールマイコンからの切換制御信号SCWによって切換スイッチ14はb側に接続される。PLL回路16にはビデオデータDVsoが供給されるため、引続きビデオデータが検出され、切換スイッチ17はa側に接続されたままとなる。そのため、PLL回路16より出力されるビデオデータDVsoに同期したパラレルクロックCKpが切換スイッチ17を介して処理ブロック18に供給されると共に、この処理ブロック18にはビデオデータDVsoがS/P変換されてなるビデオデータDVpが供給され、このビデオデータDVpより同期検出回路20で抽出されたEAV, SAV(F, V, H)に基づいてフライホイール回路21より同期信号CF0, VD, HDが出力される。すなわち、フライホイール回路21からはビデオデータDVsoに同期した同期信号CF0, VD, HDが出力されることになる。

【0029】また、時点t3の経過後は切換スイッチ14はa側に接続された状態となる。PLL回路16には再びビデオデータDVsiが供給されることから引続きビデオデータが検出され、切換スイッチ17はa側に接続されたままとなる。そのため、PLL回路16より出力されるビデオデータDVsiに同期したパラレルクロックCKpが切換スイッチ17を介して処理ブロック18に供給されると共に、この処理ブロック18にはビデオデータDVsiがS/P変換されてなるビデオデータDVpが供給され、上述したと同様にフライホイール回路21からはビデオデータDVsiに同期した同期信号CF0, VD, HDが出力されることになる。

【0030】このように入力端子11にシリアル形式のデジタルビデオデータDVsiが供給されている場合には、時点t3経過後はフライホイール回路21よりビデオデータDVsiに同期した同期信号CF0, VD, HDが出力され続けるため、サーボはビデオデータDVsiの同期系にロックされる。

【0031】次に、図5のタイミングチャートを使用し、入力端子11にシリアル形式のデジタルビデオデータDVsiが供給されていない場合を説明する。

【0032】時点t1で電源スイッチがオンとされると、PLL回路16にはビデオデータDVsiが供給されていないことからビデオデータは検出されず、切換スイッチ17はb側に接続されたままとなる。そのため、パラレ

(5)

特開平7-29258

7

ルクロックCK_{po}が切換スイッチ17を介して処理ブロック18に供給されるが、この処理ブロック18にはビデオデータDV_pは供給されず、フライホイール回路21より出力される同期信号CF₀、VD、HDは不定状態となる。

【0033】また、電源オン後の時点t2から時点t3までの一定期間は、システムコントロールマイコンからの切換制御信号SCWによって切換スイッチ14はb側に接続される。PLL回路16にはビデオデータDV_{so}が供給されるためビデオデータが検出され、時点t2の直後の時点t4で切換スイッチ17はa側に接続される。そのため、PLL回路16より出力されるビデオデータDV_{so}に同期したパラレルクロックCK_pが切換スイッチ17を介して処理ブロック18に供給されると共に、この処理ブロック18にはビデオデータDV_{so}がS/P変換されてなるビデオデータDV_pが供給され、このビデオデータDV_pより同期検出回路20で抽出されたEAV、SAV(F、V、H)に基づいてフライホイール回路21より同期信号CF₀、VD、HDが出力される。すなわち、フライホイール回路21からはビデオデータDV_{so}に同期した同期信号CF₀、VD、HDが出力されることになる。

【0034】また、時点t3の経過後は切換スイッチ14はa側に接続された状態となる。PLL回路16にはビデオデータDV_{si}が供給されていないことからビデオデータは検出されず、時点t3の直後の時点t5で切換スイッチ17はb側に接続される。

【0035】時点t3から時点t5までの間は、処理ブロック18にはビデオデータDV_pは供給されないが、PLL回路16より出力されるフリーランのパラレルクロックCK_pが切換スイッチ17を介して処理ブロック18に供給されるため、フライホイール回路21からはクロックCK_pによりビデオデータDV_{so}に同期保持された同期信号CF₀、VD、HDが出力され続ける。

【0036】また、時点t5以後は、パラレルクロックCK_{po}が切換スイッチ17を介して処理ブロック18に供給されるため、フライホイール回路21からはクロックCK_{po}によりビデオデータDV_{so}に同期保持された同期信号CF₀、VD、HDが出力され続ける。

【0037】このように入力端子11にシリアル形式のデジタルビデオデータDV_{si}が供給されていない場合には、時点t3経過後はフリーランクロックCK_pあるいはクロックCK_{po}によってフライホイール回路21よりビデオデータDV_{so}に同期した同期信号CF₀、VD、HDが出力され続けるため、サーボはビデオデータDV_{so}の同期系にロックされる。

【0038】このように本例においては、入力端子11にビデオデータDV_{si}が供給されていない場合であっても、フライホイール回路21よりビデオデータDV_{so}に同期した同期信号CF₀、VD、HDが出力され続けるた

8

め、サーボはビデオデータDV_{so}の同期系にロックされ、サーボ乱れによって再生画像に乱れを発生するということとはなくなる。

【0039】次に、図6を参照しながら、この発明の第2実施例について説明する。図1の例では、処理ブロック12の切換スイッチ14でもっていわゆるボードスルー切り換えがシリアル形式の状態で行なわれるが、本例はボードスルー切り換えをパラレル形式の状態で行なうようにしたものである。この図6において、図1と対応する部分には同一符号を付し、その詳細説明は省略する。

【0040】本例において、処理ブロック12のS/P変換回路15およびPLL回路16にはケーブルコライザ13の出力信号が供給される。また、S/P変換回路15より出力されるパラレル形式のデジタルビデオデータDV_pは切換スイッチ32のa側の固定端子に供給され、この切換スイッチ32のb側の固定端子にはデータ挿入回路27より出力されるパラレル形式のデジタルビデオデータDV_{po}が供給される。

【0041】切換スイッチ32には端子31より切換制御信号SCWが供給され、電源オン後の一定期間(図4、図5のt2~t3の期間参照)はb側に接続され、その他の期間はa側に接続される。この切換スイッチ32より出力されるパラレル形式のデジタルビデオデータは処理ブロック18に供給される。

【0042】本例は以上のように構成され、動作の詳細説明は省略するが、入力端子11にビデオデータDV_{si}が供給されていない場合であっても、フライホイール回路21よりビデオデータDV_{po}に同期した同期信号CF₀、VD、HDが出力され続ける。そのため、サーボはビデオデータDV_{po}の同期系にロックされ、サーボ乱れによって再生画像に乱れを発生するということとはなくなる。

【0043】なお、上述実施例においては、切換スイッチ17によってPLL回路16より出力されるパラレルクロックCK_pと信号処理回路22のタイミングジェネレータより出力されるパラレルクロックCK_{po}の切り換えが行なわれる。これは、無信号入力時のPLL誤差が大きいためである。仮に、PLL回路16を構成するVCO(電圧制御発振器)のフリーラン周波数がクリスタル精度であれば、PLL回路16より出力されるパラレルクロックCK_pのみを使用でき、切換スイッチ17を省略することができる。

【0044】また、上述実施例においては、電源オン直後に一定期間切換スイッチ14、32をb側に接続するものであるが、要はサーボ乱れが問題となる再生または記録の動作前に一定期間切換スイッチ14、32をb側に接続するように制御すればよい。

【0045】

【発明の効果】この発明によれば、再生または記録の動

(6)

特開平7-29258

9

10

作前にサーボ基準信号形成手段では一定期間内部同期信号を使用できる状態とされるため、例えばサーボ基準信号形成手段に供給される同期信号の経路にフライホイール手段を介在させることで、外部同期信号がなくても一定期間経過後にもサーボ基準信号形成手段には同期信号が継続して供給され、サーボ基準信号形成手段では同期信号に基づいてサーボ基準信号が継続して形成されるため、サーボロックが可能となり、サーボ乱れによる再生画の乱れを防止できる等の効果を得ることができる。

【図面の簡単な説明】

【図1】この発明に係るVTR装置の第1実施例を示す構成図である。

【図2】パラレル形式のデジタルビデオデータのデータストリームを示す図である。

【図3】同期信号とサーボ基準信号を示す図である。

【図4】デジタルビデオデータDVsiが供給されている場合の動作を説明するためのタイミングチャートである。

【図5】デジタルビデオデータDVsiが供給されていない

ない場合の動作を説明するためのタイミングチャートである。

【図6】この発明に係るVTR装置の第2実施例を示す構成図である。

【図7】編集システムの構成例を示す図である。

【符号の説明】

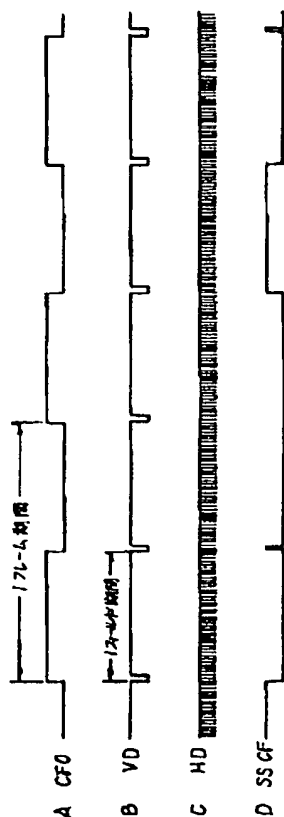
- 11 入力端子
- 12, 18 処理ブロック
- 14, 17, 32 切換スイッチ
- 15 シリアル/パラレル変換回路 (S/P変換回路)
- 16 PLL回路
- 19 データ削除回路
- 20 同期検出回路
- 21 フライホイール回路
- 22 信号処理回路
- 23 サーボ回路
- 27 データ挿入回路
- 28 パラレル/シリアル変換回路 (P/S変換回路)
- 30 出力端子

【図3】

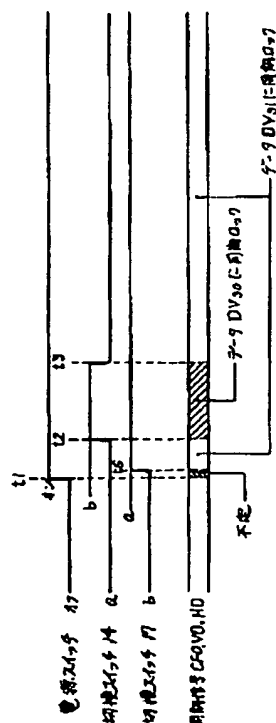
【図4】

【図5】

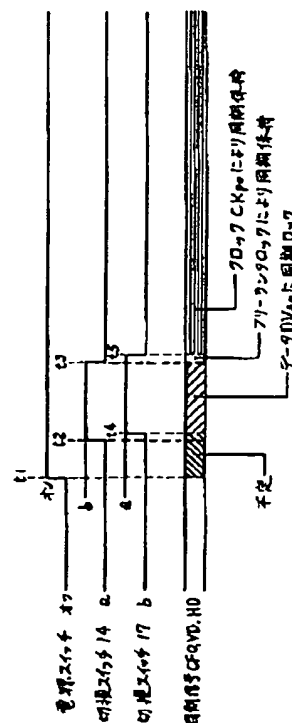
同期信号とサーボ基準信号



デジタルデータ DVsi が供給されている場合の動作



デジタルデータ DVsi が供給されていない場合の動作

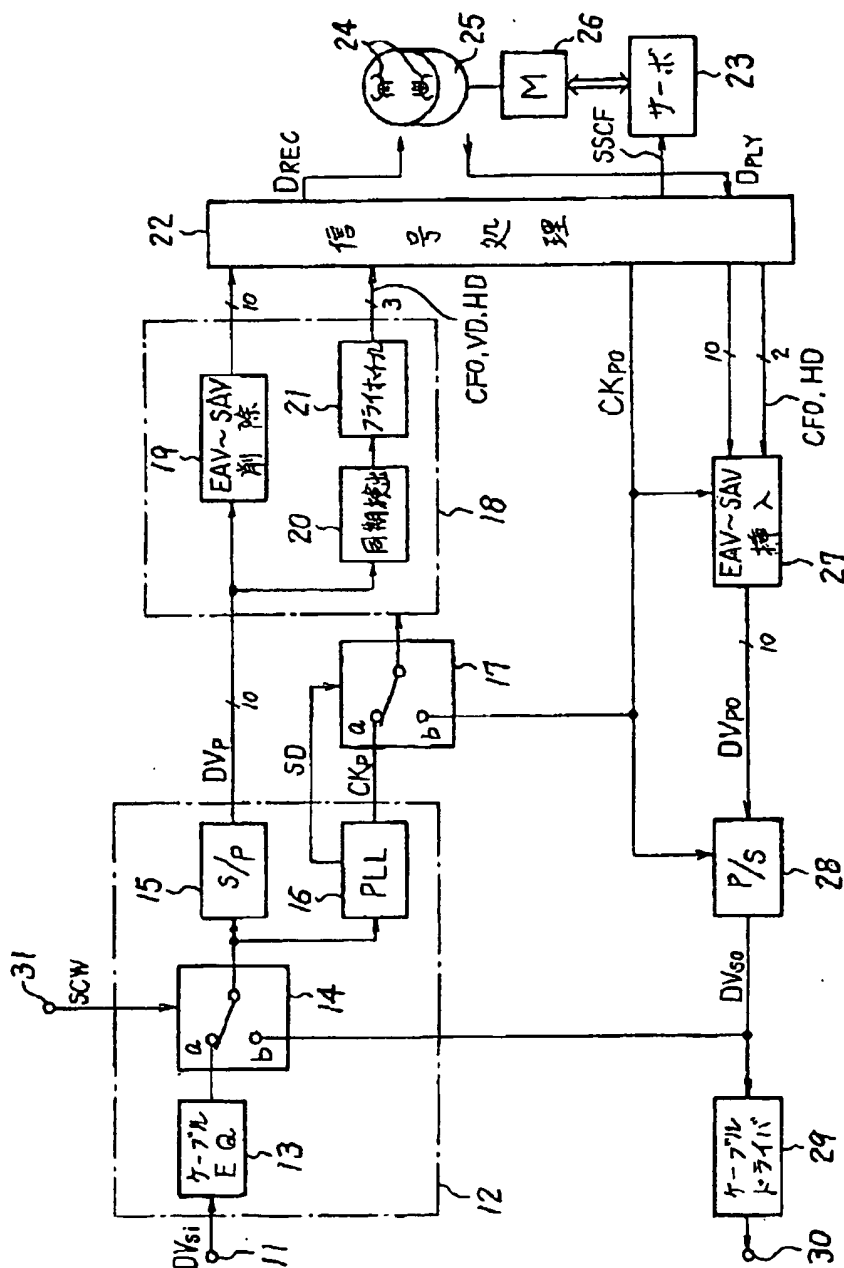


(7)

特開平7-29258

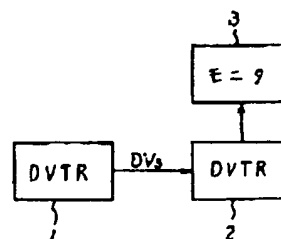
【图 1】

第1実施例の構成



【圖 7】

編集システムの構成例



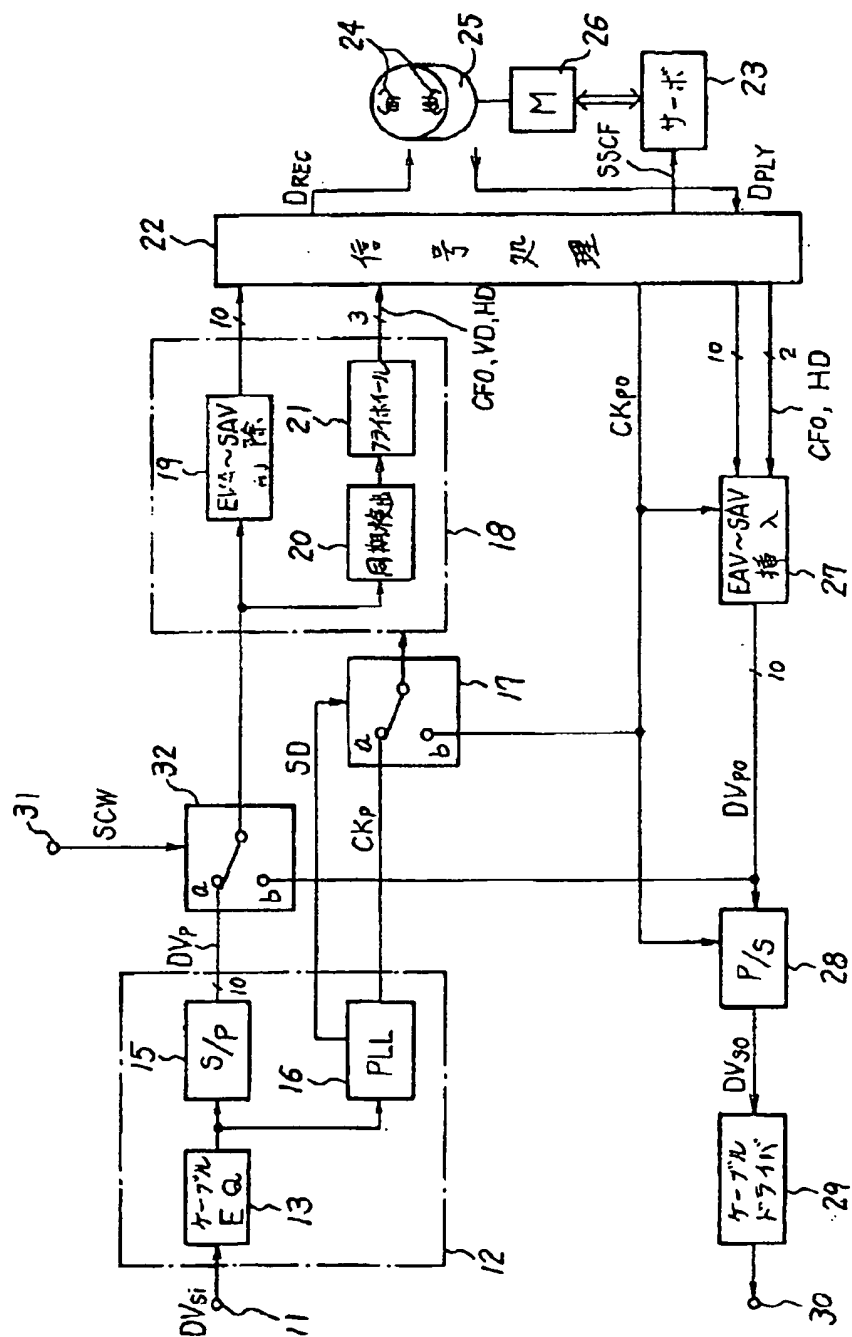
特開平7-29258

パラレル形式のデジタルビデオテープのデータストリーム



特開平 7 - 2 9 2 5 8

第2実施例の構成



(10)

特開平7-29258

フロントページの続き

(51) Int. Cl. ⁶H 0 4 N 5/7826
5/91
5/95

識別記号

庁内整理番号

F I

技術表示箇所

7734-5C

H 0 4 N 5/91

N

7734-5C

5/95

D

8224-5D

G 1 1 B 27/02

D